

Diseño y verificación VLSI de un contador asíncrono de 4 bits con el uso de herramientas de Synopsys y Xilinx

VLSI design and verification of a 4-bit asynchronous counter with the use of Synopsys and Xilinx tools

Mauricio López¹, Julián Jaramillo² y Juan Sebastián Rubiano³

Resumen

En este trabajo se proponen dos flujos para realizar el diseño y simulación de un contador binario asíncrono de 4 bits, el primero de ellos generando el RTL a partir de un código VHDL estructural, realizando la simulación funcional e implementación en una tarjeta FPGA (*field programmable gate array*) Spartan-3E, y empleando las herramientas de Xilinx para diseño digital. El segundo flujo fue desarrollado con las herramientas de la plataforma Synopsys, basados en el flujo de diseño propuesto, que inicia desde un nivel de abstracción bajo enfocado en transistores para continuar ascendiendo a un nivel más complejo hasta obtener el circuito digital con sus respectivas simulaciones e implementación. El objetivo principal es apropiar estas herramientas al aplicar el flujo de diseño digital y diseño a nivel microelectrónico, tomando como caso de estudio un circuito de lógica secuencial,

llevándolo desde su descripción funcional hasta la implementación en una FPGA. Igualmente, se propone el trabajo desarrollado como base para realizar el posterior *layout* del circuito integrado digital con el uso de las librerías de Synopsys basadas en tecnología CMOS (*complementary metal oxide semiconductor*) de 90 nm y, de esta manera, promover el diseño en microelectrónica en las universidades colombianas y, en especial, en el pregrado en Ingeniería Electrónica de la Universidad Central.

Palabras clave: contador asíncrono, diseño VLSI, flujo de diseño, FPGA, microelectrónica, VHDL, Synopsys.

¹ Estudiante de Ingeniería Electrónica, Universidad Central. Integrante del Semillero de Microelectrónica. Correo: flopezc@ucentral.edu.co.

² Estudiante de Ingeniería Electrónica, Universidad Central. Integrante del Semillero de Microelectrónica. Correo: jjaramillom1@ucentral.edu.co.

³ Docente del Departamento de Ingeniería Electrónica, Universidad Central. Correo: jrubianol@ucentral.edu.co.

Abstract

This paper proposes two flows to design and simulate a 4-bit asynchronous binary counter, the first one generating the RTL from a structural VHDL code, performing the functional simulation and implementation in a Spartan-3E FPGA (field programmable gate array) card, using Xilinx tools for digital design. The second flow was implemented with the Synopsys platform tools based on the proposed design flow, which starts from a low abstraction level focused on transistors, in order to continue ascending to a more complex level until obtaining the digital circuit with its respective simulations and implementation. The main objective is to appropriate these tools, applying the flow

of digital design and microelectronic design level using as a case study a sequential logic circuit taking it from its functional description to the implementation in an FPGA. Similarly, it proposes the work developed as a basis for the subsequent layout of the digital integrated circuit with the use of Synopsys libraries based on 90 nm CMOS technology (complementary metal oxide semiconductor), and in this way promote the design in microelectronics in the universities of Colombia and especially in the Electronic Engineering degree of Universidad Central.

Keywords: asynchronous counter, design flow, FPGA, microelectronics, VHDL, VLSI design, Synopsys.

1. Introducción

Los contadores son elementos fundamentales en la electrónica, a partir de ellos se han construido sistemas más complejos y robustos, sobre todo en la rama de la electrónica digital, donde se observan dispositivos que realizan conteos en líneas de producción automatizada, conteos para mantener el control de procesos o componentes que realizan el conteo interno sobre elementos computacionales con tareas específicas. Para obtener estos sistemas, se debe integrar una mayor cantidad de transistores y componentes con los cuales se logre realizar cada tarea con el más alto porcentaje de efectividad. Existen diferentes tipos de contadores. Básicamente se conocen los asíncronos y los síncronos; sin embargo, existen características en ellos que los pueden clasificar en grupos aún más amplios entre las cuales están la frecuencia y el módulo del contador.

La expectativa actual es llevar estos diseños a un nivel mayor de complejidad y a un nivel tecnológico más adecuado a las necesidades actuales. Es por ello que se incluye dentro del proyecto la herramienta Synopsys, en la cual se puede realizar el diseño a un nivel de escalas de micrómetros y nanómetros. Por esta razón, Synopsys asignó una librería de 90 nm genérica, para la enseñanza del diseño en la microelectrónica o diseño VLSI (*very large scale integration*). Al utilizarla con las últimas herramientas de EDA-Synopsys, permite desarrollar diseños más avanzados con una disminución de potencia, lo que posibilita abordar áreas de desarrollo acordes a la demanda actual (Synopsys Silicon to Software, 2016).

La reducción en tamaño de los dispositivos electrónicos ha generado la denominada tecnología de microelectrónica, que constituye el diseño y la fabricación de circuitos formados por muchos componentes (principalmente

transistores) de tamaño extremadamente pequeño. Por lo general, estos circuitos se denominan integrados, ya que el conjunto de componentes electrónicos está montado sobre una placa de silicio o chip (cuya dimensión lateral típica es de unos pocos milímetros), que no puede ser dividida en partes independientes (Albella, 1996). Es por esto que se toman como base principal los elementos de la electrónica digital, donde se realiza el diseño de compuertas lógicas utilizando transistores CMOS (Complementary Metal-Oxide Semiconductor), para luego ascender a niveles o bloques cada vez más complejos hasta llegar a un bloque o descripción final, en este caso, el contador binario asíncrono de 4 bits. De esta manera se trabaja en el dominio estructural en los diferentes niveles de abstracción que se aprecian en el diagrama de Gajski-Kuhn (Gajski et ál., 2004), que fue usado como

guía base para el diagrama de flujo de diseño de la figura 1.

Paralelamente, se efectúa la descripción estructural por medio del lenguaje de descripción de *hardware* VHDL, donde se realiza la síntesis y verificación pertinentes. Finalmente, se obtiene la implementación en una tarjeta de desarrollo FPGA (*field-programmable gate array*) de la familia Spartan 3E. Las bases teóricas referentes a la caracterización y al análisis se presentan en detalle en las ecuaciones en la sección 3, con las cuales es posible seguir al siguiente nivel lógico; en este nivel se diseñan las compuertas lógicas fundamentales y a partir de ellas se obtienen los flip-flops tipo JK. Por último, se realiza el bloque circuital configurando los flip-flops, de tal manera que la salida de cada estado del contador esté directamente conectada a la entrada del estado siguiente o próximo flip-flop. Esto no sucede

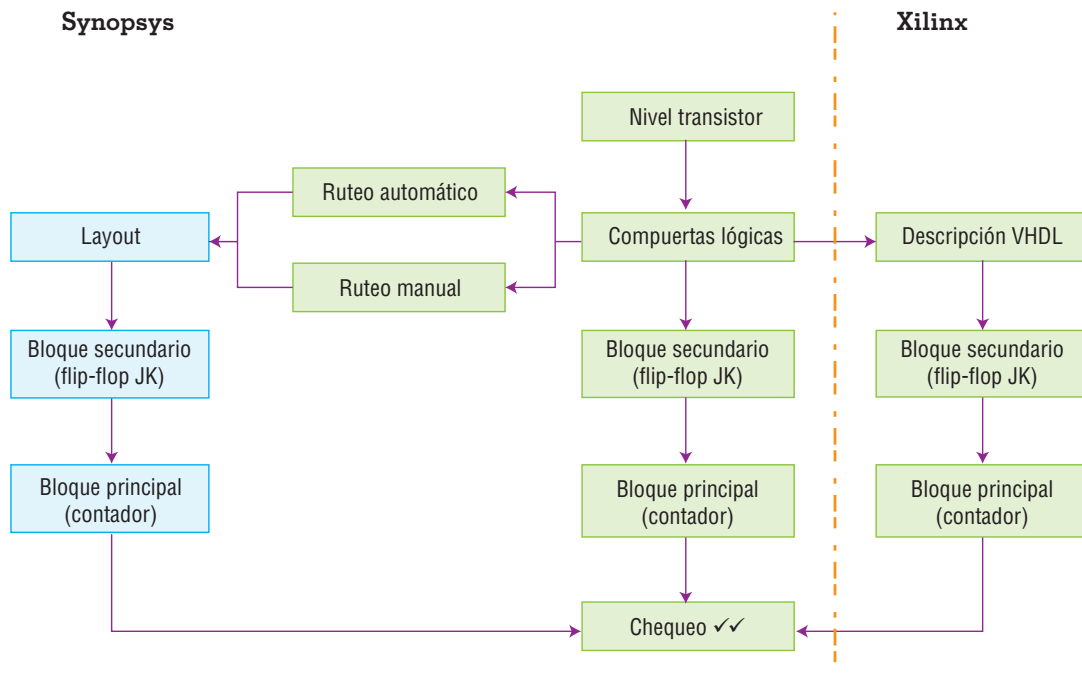


Figura 1. Diagrama de flujo de diseño empleado con las herramientas de Synopsys y Xilinx. Fuente: elaboración propia.

en los contadores síncronos, ya que para ellos la señal externa de reloj está conectada a cada entrada individual de los flip-flops usados y se espera que las salidas del sistema por este flujo de diseño sean idénticas al comportamiento observado en las simulaciones de la descripción en VHDL. Con el avance obtenido hasta aquí, se puede documentar el desarrollo que será la base para realizar el *layout* con sus debidas reglas de verificación en un trabajo próximo. En la figura 1 se muestra el flujo de diseño usado con cada una de las herramientas, el cual se detallará en los apartados 2 y 3.

2. Diseño del contador en Xilinx

2.1 Diseño estructural en VHDL

El diseño fue desarrollado en el lenguaje de descripción de *hardware* VHDL, con el *software* de desarrollo Xilinx ISE Design Suite 14.7. El flujo de diseño se inició desde el nivel de abstracción lógico más bajo (compuertas lógicas, figuras 2 y 3), donde se crearon por separado cada uno de los componentes del sistema digital como flip-flops, detectores de flanco, etc., hasta llegar a la concepción de mayor jerarquía, en este caso, el contador binario asíncrono. Finalmente, por medio del simulador Xilinx ISE se visualizaron las señales de salida (*waveforms*) correspondientes al circuito lógico secuencial, para llevarlo luego a la implementación física por medio de la herramienta iMPACT en una FPGA Spartan-3E XC3S500E (Spartan-3E Starter Board).

2.2 Diseño de los componentes básicos

Como se menciona en el apartado anterior, fue necesario generar el código en VHDL de

cada componente para luego unirlos de forma lógica. En primer lugar, se crearon dos tipos de compuertas NAND —una compuerta de dos entradas y otra de tres entradas— con base en una compuerta AND e inversores correspondientes. Adicionalmente se creó un *buffer*.

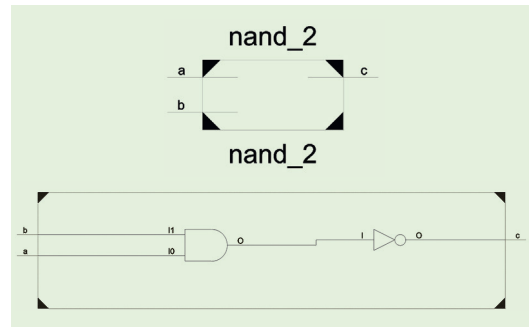


Figura 2. Símbolo y diagrama esquemático RTL de compuerta NAND de dos entradas.

Fuente: Xilinx.

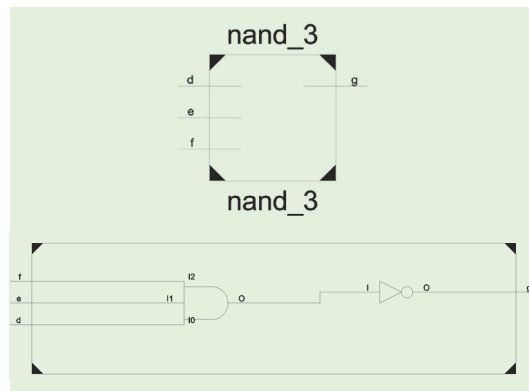


Figura 3. Símbolo y diagrama esquemático RTL de compuerta NAND de tres entradas.

Fuente: Xilinx.

Con estos primeros módulos básicos se logró obtener el componente elemental del contador: flip-flop JK, el cual se implementó tal y como se aprecia en las configuraciones de las figuras 4 y 5.

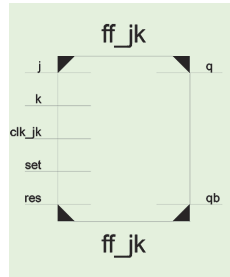


Figura 4. Símbolo flip-flop JK.
Fuente: Xilinx.

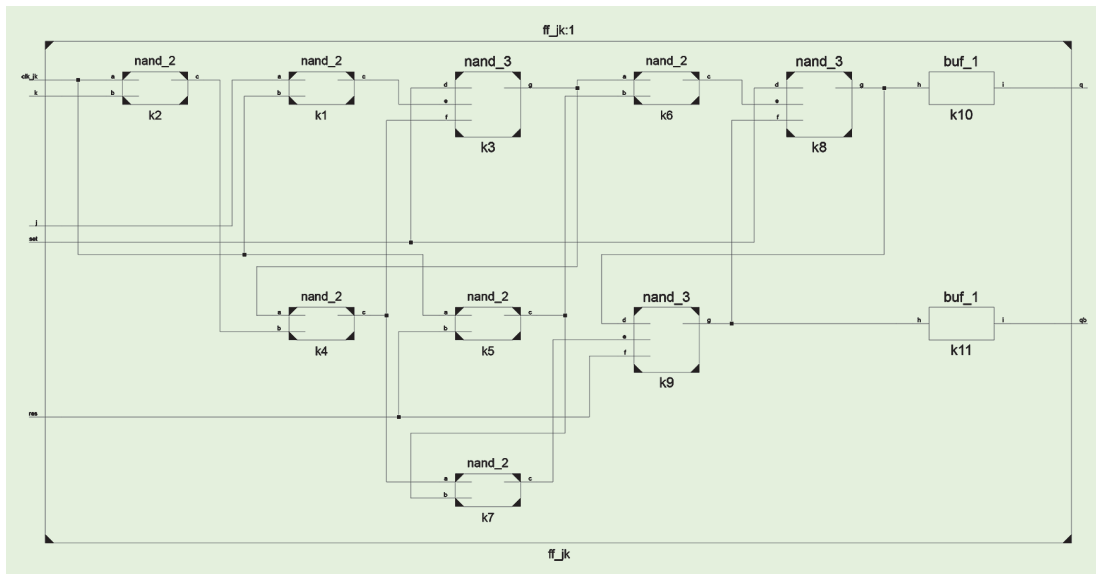


Figura 5. Esquemático RTL de flip-flop JK.
Fuente: Xilinx.

Para el diseño final del contador binario asíncrono de 4 bits (figura 6) se crearon 4 flip-flops conectados, como se muestra en la figura 7. Este contador cuenta con tres señales de entrada: señal de reloj, *reset* y *set*, y cuatro salidas que se pueden identificar como a, b, c y d, en donde se obtiene el conteo ascendente desde 0 hasta 15 en binario.

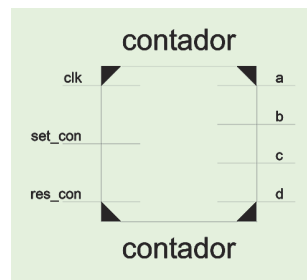


Figura 6. Símbolo contador asíncrono de 4 bits.
Fuente: Xilinx.

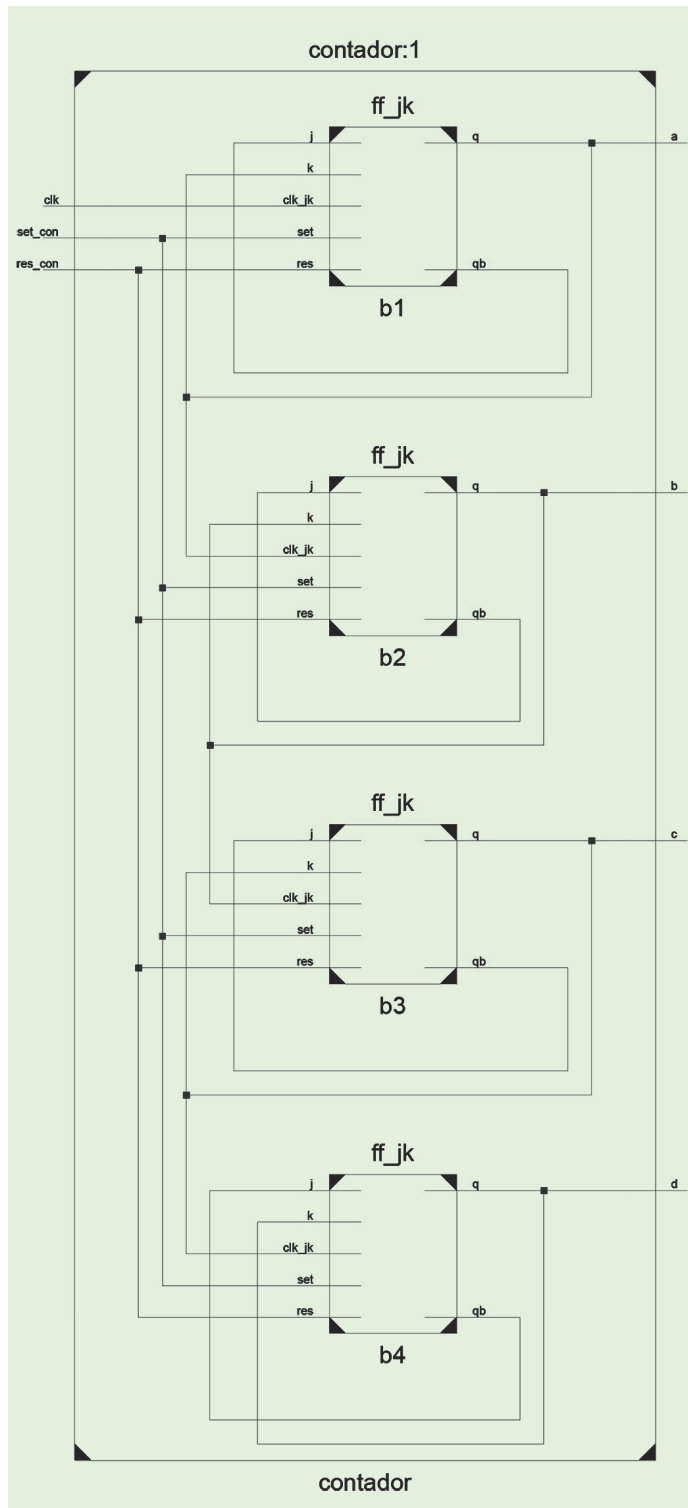


Figura 7. Diagrama esquemático RTL de contador asíncrono de 4 bits. Fuente: Xilinx.

3. Diseño del contador en Synopsys

Uno de los aspectos más relevantes de este trabajo es el diseño de circuitos integrados digitales con herramientas de microelectrónica como las que ofrece la plataforma Synopsys, la cual es utilizada en ámbitos académicos e industriales. Esta plataforma está instalada en un servidor de la Universidad Central, donde se accede remotamente y se trabaja sobre el sistema operativo Linux.

3.1 Caracterización CMOS y PMOS

En la figura 8 se presenta la curva característica para el comportamiento de un transistor NMOS, relacionando ID vs. VDS, con la cual se comprueba el correcto funcionamiento de este.

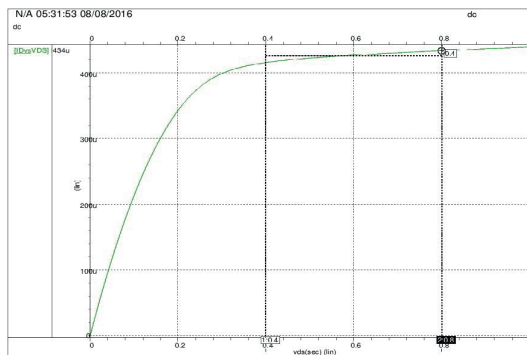


Figura 8. ID vs. VDS de transistor NMOS.

Fuente: Synopsys.

En la figura 8 se están tomando dos valores característicos, determinados por el estado en saturación del elemento, 0,4 V y 0,8 V, respectivamente, los cuales son usados para hallar la pendiente del transistor.

$$m = \frac{ID@B - ID@A}{0,8V - 0,4V} = 45,4402 \times 10^{-6} \left[\frac{A}{V} \right] \quad (\text{Ec. 1})$$

$$I_D@V_{DS=\phi} = ID@A - m \times 0,4V = 0,397560 \times 10^{-3} [A] \quad (\text{Ec. 2})$$

$$V_{Anmos} = -\frac{ID@VDS\phi}{m} = -8,74908 [V] \quad (\text{Ec. 3})$$

$$\lambda_{nmos} = -\frac{1}{VA} = 0,114298 [V^{-1}] \quad (\text{Ec. 4})$$

Los transistores PMOS y NMOS fueron caracterizados de acuerdo con la literatura (Sedra, Smith, Ramírez Grycuk y Romo Nuñez, 2000), con el fin de obtener el ancho y las longitudes del diseño planteado y, de esta manera, poder usarlos en la construcción de los bloques superiores. A continuación, se presentan los datos y cálculos más relevantes de la caracterización partiendo de la movilidad efectiva (U_{eff}), para la cual fue necesario hacer uso de la gráfica de transductancia del transistor (G_m) descrita en las figuras 9 y 10.

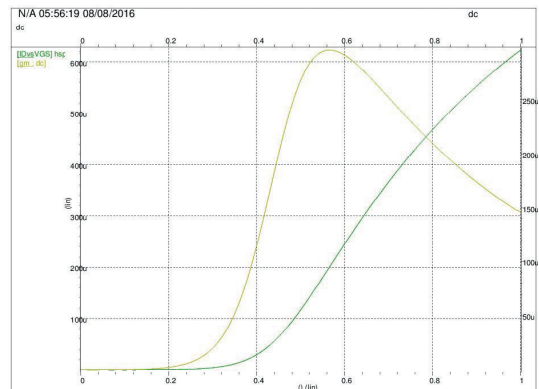


Figura 9. Movilidad efectiva NMOS.

Fuente: Synopsys.

$$\mu_{ef} f_{nmos} = \frac{gm_MAX \times L}{W \times V_{DS}} = 0,623364 \times 10^{-3} \left[\frac{cm^2}{V} \right] \quad (\text{Ec. 5})$$

$$\mu_{ef} f_{nmos} = 0,623364 \times 10^{-3} \times \left(\frac{1}{Cox} \right) \left[\frac{cm^2}{V} \right] \quad (\text{Ec. 6})$$

Ahora se determinará la tensión umbral V_{TH} a partir de la ecuación anteriormente descrita:

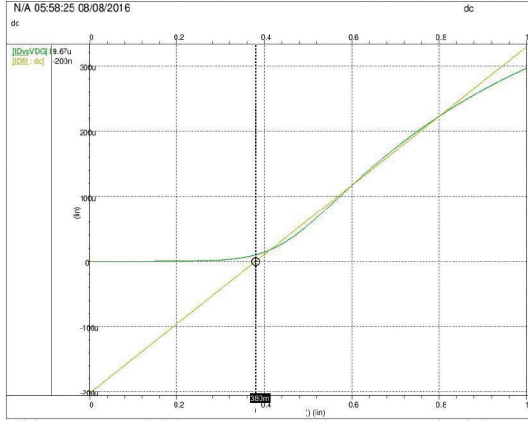


Figura 10. Tensión umbral del transistor NMOS.
Fuente: Synopsys.

$$m = \frac{ID@B - ID@A}{0,9V - 0,8V} = 0,530120 \times 10^{-6} \left[\frac{A}{V} \right] \quad (\text{Ec. 7})$$

Primero se determina el valor de la pendiente, que será incluido en las ecuaciones que se presentan a continuación:

$$ID@VDS\phi = ID@A - m \times 0,6 = -0,201630 \times 10^{-3} [A] \quad (\text{Ec. 8})$$

Ya teniendo el valor de la pendiente (m) y la continuación, haciendo uso de la extrapolación, en la que se toma la región donde el transistor se presenta en estado de saturación, podemos despejar la ecuación y de esta forma obtener el valor de V_{TH} , ilustrado en la ecuación 9.

$$TH = -\frac{ID@VDS\phi}{m} = 0,380347 [V] \quad (\text{Ec. 9})$$

Teniendo en cuenta la caracterización del transistor NMOS, a continuación se presentan las gráficas y los resultados logrados para obtener la caracterización PMOS (figuras 11, 12 y 13), siguiendo la misma lógica matemática presentada previamente.

$$m = \frac{ID@B - ID@A}{0,9V - 0,8V} = 14,2607 \times 10^{-6} \left[\frac{A}{V} \right] \quad (\text{Ec. 10})$$

$$ID@VDS\phi = ID@A - m \times 0,8V = 0,103421 \times 10^{-3} [A] \quad (\text{Ec. 11})$$

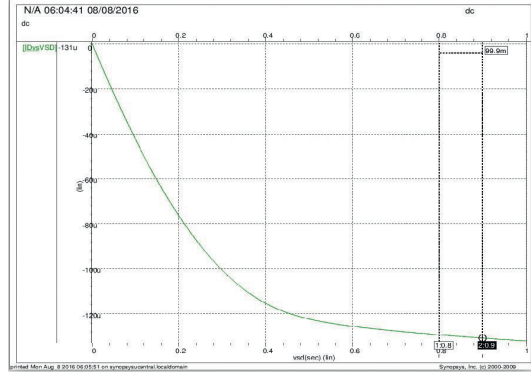


Figura 11. ID vs. VDS de transistor PMOS.

Fuente: Synopsys.

$$VA = -\frac{ID@VDS\phi}{m} = -7,25215 [V] \quad (\text{Ec. 12})$$

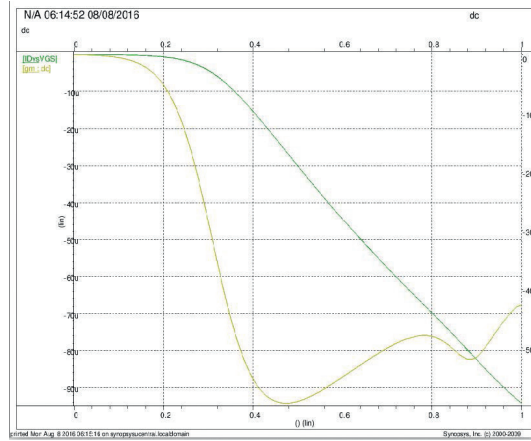


Figura 12. Movilidad efectiva PMOS.

Fuente: Synopsys.

$$\mu_{ef} f = \left| \frac{gm_MIN \times L}{W \times VDS} \right| = 94,1919 \times 10^{-6} \left[\frac{cm^2}{V} \right] \quad (\text{Ec. 13})$$

$$\mu_{ef} f_{pmos} = 94,1919 \times 10^{-6} \times \left(\frac{1}{Cox} \right) \left[\frac{cm^2}{V} \right] \quad (\text{Ec. 14})$$

$$m = \frac{ID@B - ID@A}{0,6 - 0,4} = -91,7560 \times 10^{-6} \left[\frac{A}{V} \right] \quad (\text{Ec. 15})$$

$$ID@VDS\phi = ID@A - m \times 0,4 = 27,0602 \times 10^{-6} [A] \quad (\text{Ec. 16})$$

$$V_{TH} pmos = -\frac{ID@VDS\phi}{m} = 0,294914 [V] \quad (\text{Ec. 17})$$

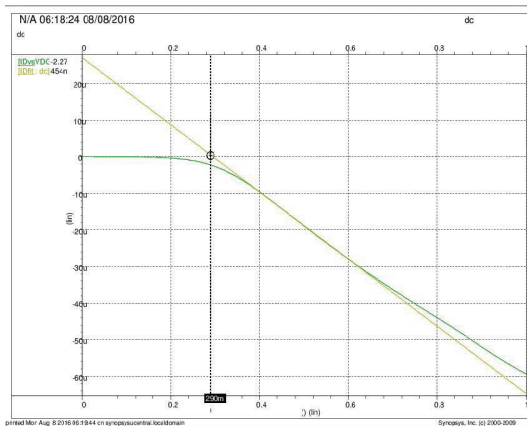


Figura 13. Tensión umbral del transistor PMOS.
Fuente: Synopsys.

3.2 Diseño de compuertas basadas en los transistores caracterizados

Una vez caracterizados todos los transistores, el siguiente paso fue la creación de una compuerta NAND de dos entradas y una de tres entradas. En cada uno de los diseños se obtuvieron las señales de salida correspondientes teniendo en cuenta su comportamiento. Fue necesario realizar las configuraciones de los transistores con salidas y entradas para luego crear el símbolo representativo de la compuerta. Ya creado este archivo, podemos exportarlo en cualquier diseño. En la figura 14 se puede observar el diseño a nivel de transistores para las compuertas mencionadas.

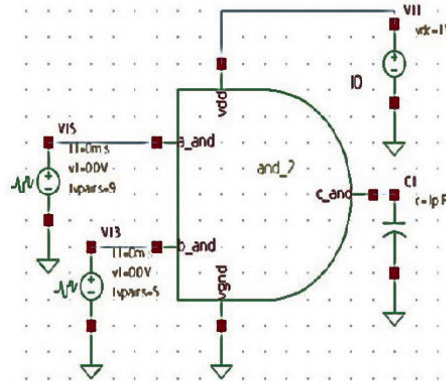
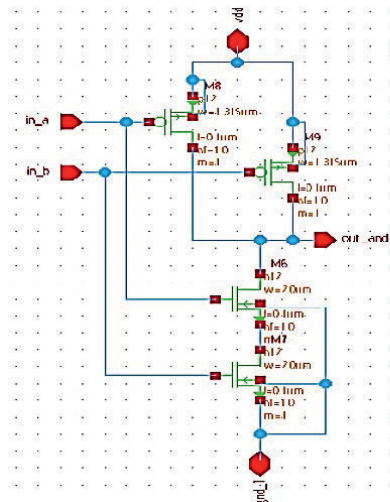


Figura 14. Diagrama esquemático y símbolo NAND de dos entradas.
Fuente: Synopsys.

Como se puede observar en la figura 14, se utilizaron transistores de 4 terminales (4t), ya que los de 3 terminales pueden generar errores al momento de continuar con futuras etapas de desarrollo.

3.3 Diseño del flip-flop JK

Una vez diseñadas las compuertas lógicas básicas, se inició el proceso para la creación del flip-flop JK de igual forma que las anteriores. Primero se realizó un diagrama esquemático con la configuración básica de las compuertas, luego se creó el símbolo con sus salidas y entradas para poder implementarlo en el diseño

final como subcomponente. Al igual que el diseño realizado en VHDL, el flip-flop creado es tipo JK, con su respectiva señal de reloj, entrada J, entrada K y finalmente entradas *set* y *reset*.

3.4 Contador asíncrono de 4 bits

En esta etapa del diseño, se realizó la configuración de los cuatro flip-flop JK creados para producir un contador binario asíncrono (figura 15). En el apartado de simulaciones se pueden observar las señales de salida que se obtuvieron para el diseño en los *software* Xilinx y Synopsys.

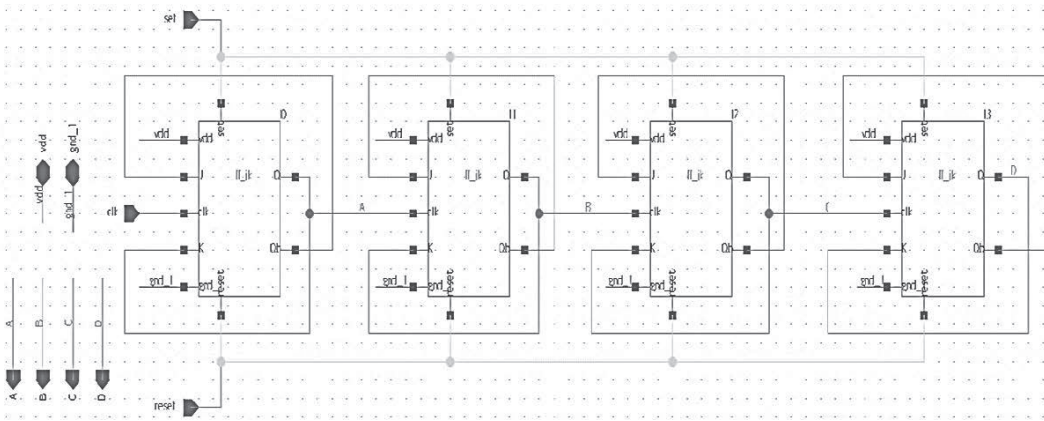


Figura 15. Diagrama esquemático de contador de 4 bits.
Fuente: Synopsys.

4. Simulaciones

En este apartado se puede apreciar cada una de las señales de salida obtenidas de los

diseños de compuertas realizadas y de las descripciones realizadas en Xilinx (figura 16) y Synopsys (figura 17) del contador binario asíncrono de 4 bits.

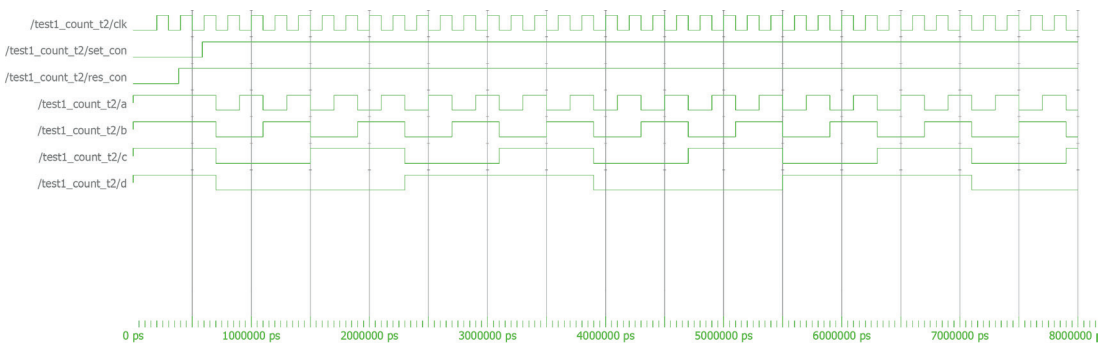


Figura 16. Señales de salida de contador en Xilinx.
Fuente: Xilinx.

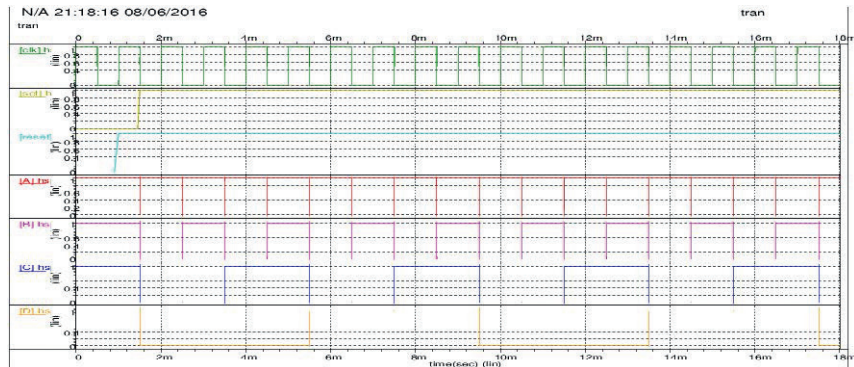


Figura 17. Señales de salida de contador en Synopsys.
Fuente: Synopsys.

5. Implementación

Con la verificación funcional obtenida de las simulaciones realizadas en Synopsys y Xilinx, se realizó la implementación del circuito digital en una FPGA Spartan 3E con la herra-

amienta de Xilinx (iMPACT), y se obtuvieron los resultados de utilización de recursos de la FPGA, como se aprecian en la tabla 1. Los dos *switch* activados en 1 corresponden a *set* y *reset*. Allí se observó el conteo en binario en los leds desde 0 hasta 15.

Tabla 1. Resumen de utilización del dispositivo FPGA

| Cell usage | Quantity | Device utilization summary (estimated values) | | | |
|------------|----------|--|------|-----------|-------------|
| Bels | 7 | Logic utilization | Used | Available | Utilization |
| GND | 1 | Number of slices | 2 | 4656 | 0% |
| INV | 1 | Number of 4 input LUTs | 4 | 9312 | 0% |
| LUT4 | 3 | Number of bonded IOBs | 7 | 232 | 3% |
| MUXF5 | 2 | | | | |
| IO Buffers | 7 | | | | |
| IBUF | 5 | | | | |
| OBUF | 2 | | | | |

6. Conclusiones

En este artículo se presentó el desarrollo de un contador binario asíncrono de 4 bits empleando dos flujos de diseño basados en las herramientas de diseño de Xilinx y Synopsys.

Las descripciones se realizaron a partir de una descripción estructural en VHDL y luego se sintetizaron, simularon e implementaron en una FPGA Spartan 3E XC3S500E. La otra descripción a nivel de transistores se verificó mediante simulación y también a través de

las especificaciones de diseño planteadas inicialmente. Esto da paso a una próxima etapa de este trabajo en la que se genere el *layout* del circuito integrado digital; algo parecido al presentado en los trabajos de Hiremath, Kulkarni y Baligar (2014) y Dibal (2013), pero empleando las librerías de Synopsys basadas en tecnología CMOS de 90 nm.

En el desarrollo de este trabajo se empleó la metodología de diseño *bottom-up* (Donzellini y Ponta, 2011), donde las herramientas de Synopsys permitieron trabajar fácilmente desde un nivel bajo de abstracción a uno de mayor jerarquía, utilizando la generación de símbolos de cada subcomponente del sistema. Además, en el diseño implementado por medio de la plataforma Synopsys, se identificó que el uso de los transistores 4t (4 terminales) es determinante para continuar con otras etapas de diseño, puesto que los transistores 3t (3 terminales) pueden presentar errores en el marco del diseño, ya que en estos no se define si el cuerpo del transistor al cual va conectado es drenador o fuente.

Adicionalmente, se propone que este trabajo sirva de guía en los cursos de Electrónica Digital y en el desarrollo de circuitos integrados digitales en el área de microelectrónica haciendo uso de herramientas de Synopsys en la carrera de Ingeniería Electrónica de la Universidad Central, lo que permitiría generar nuevas áreas de investigación dentro de la institución.

Referencias

- Albella, J. M. (1996). Tecnología de dispositivos microelectrónicos. En *Fundamentos de electrónica física y microelectrónica*. Delaware: Addison Wesley Iberoamericana.
- Dibal, P. Y. (2013). Design and implementation of mod-6 synchronous counter using VHDL. *Arid Zone Journal of Engineering, Technology and Environment*, 9, 17-26. Maiduguri: University of Maiduguri.
- Donzellini, G. y Ponta, D. (2011). A bottom-up approach to digital design with FPGA. IEEE International Conference on Microelectronic Systems Education, San Diego, CA, 31-34.
- Gajski, D., García Puntonet, C., Prieto Espinosa, A., Valero Cortés, M. y González Colás, A. (2004). *Principios de diseño digital*. Madrid: Prentice Hall.
- Hiremath, Y., Kulkarni, A. L. y Baligar, J. S. (2014). Design and implementations of synchronous 4-bit up counter using 180nm CMOS process technology. *International Journal of Science, Engineering and Technology Research (IJSETR)*, 3(5), 1340-1345.
- Sedra, A., Smith, K., Ramírez Grycuk, E. y Romo Nuñez, J. (2000). *Circuitos microelectrónicos*. Oxford: Oxford University Press.
- Spartan-3E Starter Board. (s. f.). Consultado en <https://bit.ly/2vNIRA4>.
- Synopsys Silicon to Software. (2016). Synopsys 90 nm generic library for teaching IC design. Consultado en <https://bit.ly/2vMxAQs>.